

CORR. TO US 5,742,361

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-98098

(43) 公開日 平成11年(1999) 4月9日

(51) IntCl ⁶	識別記号	FI		
H 0 4 J 3/00		H 0 4 J 3/00		M
H 0 4 N 7/08		H 0 4 N 7/08		Z
7/081				

審査請求 未請求 請求項の数14 FD (全 17 頁)

(21) 出願番号	特願平8-323336	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22) 出願日	平成 8 年 (1996) 11 月 20 日	(72) 発明者	中瀬 純子 東京都小平市上水本町五丁目 20 番 1 号 株 式会社日立製作所半導体事業部内
(31) 優先権主張番号	特願平7-312026	(72) 発明者	郡司 洋 東京都小平市上水本町五丁目 20 番 1 号 株 式会社日立製作所半導体事業部内
(32) 優先日	平 7 (1995) 11 月 30 日	(74) 代理人	弁理士 小川 勝男
(33) 優先権主張国	日本 (JP)		
(31) 優先権主張番号	特願平9-533330		
(32) 優先日	平 8 (1996) 3 月 15 日		
(33) 優先権主張国	日本 (JP)		

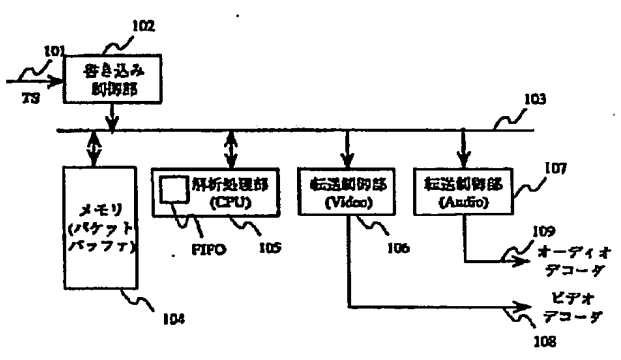
最終頁に続く

(54) 【発明の名称】 データ分離装置

(57) 【要約】

【課題】 解析処理部の処理を軽減することの可能なデータ分離装置を提供すること。

【解決手段】 データ分離装置は、書き込み制御部102とメモリ104と解析処理部105と転送制御部106、107とで構成される。書き込み制御部102は到達したパケットを到着順にメモリ104に書き込み、その書き込み情報を解析処理部105に送り、解析処理部105では書き込み情報をもとにパケット到達順にパケットの解析を行ってその解析結果のみを転送制御部106、107に送り、メモリ104からパケットの到達順に読み出されたデータを転送制御部106、107は上記解析結果をもとにデコーダに送る。



【特許請求の範囲】

【請求項 1】複数のデータを多重化した入力ストリームを分離し所望のデータを出力するデータ分離装置であって、

上記入力ストリームのデータを複数の格納領域に記憶するメモリと、

上記入力ストリームのデータを受信して、該データから得られたパケット単位のデータを上記メモリの上記複数の格納領域のひとつの格納領域に書き込む書き込み制御部と、

上記メモリから上記パケット単位のデータを読み出し、該読み出されたデータの種別を解析して解析情報を生成する解析処理部と、

上記メモリから読み出されたデータを上記解析処理部からの上記解析情報にตอบสนองしてその出力に転送する複数の転送制御部とを具備してなり、

上記書き込み制御部から複数のパケット単位のデータが上記メモリに順次書き込まれる際に、上記複数のパケット単位のデータのそれぞれの書き込みアドレス情報を FIFOメモリに順次格納せしめ、

上記解析処理部は上記FIFOメモリから順次読み出される上記書き込みアドレス情報に従って上記メモリからパケット単位のデータを順次読み出してデータの種別を解析することにより解析情報を順次生成し、

上記複数の転送制御部のひとつの転送制御部が上記解析処理部からの上記解析情報に選択的にตอบสนองして、上記メモリのひとつの格納領域から読み出されたデータをその出力に転送することを特徴とするデータ分離装置。

【請求項 2】上記メモリと上記解析処理部と上記複数の転送制御部とはバスを介して相互に接続され、

上記解析処理部はCPUで構成され、

上記FIFOメモリは上記解析処理部の上記CPU内部のハードウェアであることを特徴とする請求項 1 に記載のデータ分離装置。

【請求項 3】上記メモリと上記解析処理部と上記複数の転送制御部とはバスを介して相互に接続され、

上記解析処理部はCPUで構成され、

上記FIFOメモリは上記解析処理部の上記CPUの動作を制御するソフトウェアにより実現されることを特徴とする請求項 1 に記載のデータ分離装置。

【請求項 4】上記複数の転送制御部のひとつの転送制御部が上記解析処理部からの上記解析情報を転送要求割り込み信号として選択的にตอบสนองして、上記メモリのひとつの格納領域からデータを読み出し、該読み出されたデータをその出力に転送することを特徴とする請求項 1 から請求項 3 までのいずれかに記載のデータ分離装置。

【請求項 5】上記入力ストリームはビデオとオーディオとの少なくともふたつのデータが多重化されたデータであり、

上記複数の転送制御部はビデオ転送制御部とオーディオ

転送制御部との少なくともふたつを含み、

上記解析処理部は上記FIFOメモリから順次読み出される上記書き込みアドレス情報に従って上記メモリからパケット単位のデータを順次読み出してビデオとオーディオとの少なくともふたつのデータの種別を解析することにより解析情報を順次生成し、

上記解析処理部からの上記解析情報がビデオのデータの種別であることに上記ビデオ転送制御部は選択的にตอบสนองして、上記メモリのひとつの格納領域から読み出されたデータをその出力に転送し、

上記解析処理部からの上記解析情報がオーディオのデータの種別であることに上記オーディオ転送制御部は選択的にตอบสนองして、上記メモリのひとつの格納領域から読み出されたデータをその出力に転送することを特徴とする請求項 1 に記載のデータ分離装置。

【請求項 6】上記メモリは書き込みデータ端子が上記書き込み制御部に接続され、読み出しデータ端子が上記複数の転送制御部に接続されたデュアルポートメモリであることを特徴とする請求項 1 に記載のデータ分離装置。

【請求項 7】複数のデータを多重化した入力ストリームを分離し所望の出力データを出力するためのデータ分離装置は、

上記入力ストリームのデータを格納するメモリと、

上記入力ストリームのデータを受信して、該受信データから得られたパケットデータを上記メモリに書き込む書き込み制御部と、

上記メモリから上記パケットデータを読み出し、該読み出されたパケットデータの種別を解析する解析処理部とを具備してなり、

上記書き込み制御部は、

上記入力ストリームのデータから所定の同期パターンのパケットヘッダを検出する同期検出器と、

上記解析処理部により指定されたパケット識別情報を有するパケットデータを上記入力ストリームのデータから選択するパケット選択部と、

上記パケット選択部により選択される選択パケットデータが上記所望の出力データを構成するパケットデータのタイミング制御処理のための特定パターンを有することを検出して、該パケットデータを上記メモリへ格納し該検出結果の付加情報を出力するパケット検出格納部とを有してなり、

上記解析処理部はソフトウェアで動作が制御されるCPUで構成され、

上記CPUは上記メモリから読み出された上記パケットデータから上記所望の出力データを構成するパケットデータのパケット識別情報を求め、該パケット識別情報を上記パケット選択部に設定し、

上記CPUは上記パケット検出格納部から出力される上記付加情報にตอบสนองして上記付加情報を有する上記パケットデータのタイミング制御処理を開始して実行すること

を特徴とするデータ分離装置。

【請求項 8】上記入力ストリームはビデオとオーディオとの少なくとも二つのデータが多重化されたデータであり、

上記メモリと上記 CPU と上記書き込み制御部とはバスを介して相互に接続されたことを特徴とする請求項 7 に記載のデータ分離装置。

【請求項 9】上記特定パターンは、上記入力ストリーム中のビデオのシーケンスヘッダコードおよびピクチャスタートコードと、オーディオのフレーム先頭の同期パターンとの少なくともいずれかひとつであることを特徴とする請求項 8 に記載のデータ分離装置。

【請求項 10】上記特定パターンは、電源投入直後の初期状態あるいは希望チャンネル変更によりプログラムが切り替わった場合に上記パケット選択部により検出されることを特徴とする請求項 9 に記載のデータ分離装置。

【請求項 11】複数のデータを多重化した入力ストリームを分離し、所望の出力データを出力するためのデータ分離装置は、

上記入力ストリームのデータを格納するメモリと、

上記入力ストリームのデータを受信して、該受信データから得られたパケットデータを上記メモリに書き込む書き込み制御部と、

上記メモリから上記パケットデータを読み出し、該読み出されたパケットデータの種別を解析する解析処理部とを具備してなり、

上記書き込み制御部は、

上記解析処理部により指定されたパケット識別情報を有するパケットデータを上記入力ストリームのデータから選択して、該パケットデータを上記メモリへ格納する選択部と、上記入力ストリームのデータから所定の同期パターンのパケットヘッダを検出し、上記選択部により選択される選択パケットデータが上記所望の出力データを構成するパケットデータのタイミング制御処理のための特定パターンを有することを検出して、該検出結果の付加情報を出力する検出器とを有してなり、

上記解析処理部はソフトウェアで動作が制御される CPU で構成され、

上記 CPU は上記メモリから読み出された上記パケットデータから上記所望の出力データを構成するパケットデータのパケット識別情報を求め、該パケット識別情報を上記選択部に設定し、

上記 CPU は上記検出器から出力される上記付加情報にตอบสนองして上記付加情報を有する上記パケットデータのタイミング制御処理を開始して実行することを特徴とするデータ分離装置。

【請求項 12】上記入力ストリームはビデオとオーディオとの少なくとも二つのデータが多重化されたデータであり、

上記メモリと上記 CPU と上記書き込み制御部とはバス

を介して相互に接続されたことを特徴とする請求項 11 に記載のデータ分離装置。

【請求項 13】上記特定パターンは、上記入力ストリーム中のビデオのシーケンスヘッダコードおよびピクチャスタートコードと、オーディオのフレーム先頭の同期パターンとの少なくともいずれかひとつであることを特徴とする請求項 12 に記載のデータ分離装置。

【請求項 14】上記特定パターンは、電源投入直後の初期状態あるいは希望チャンネル変更によりプログラムが切り替わった場合に上記パケット選択部により検出されることを特徴とする請求項 13 に記載のデータ分離装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータ分離装置に関わり、特にビットレートの高いビデオ、オーディオ等のデータが多重化されたストリームを、ビデオストリームとオーディオストリームに分離し、それぞれビデオ復号器とオーディオ復号器に転送する装置に関するものである。

【0002】

【従来の技術】最近では、デジタルビデオデータ、あるいはデジタルオーディオデータを蓄積メディア上において記録・再生したり、通信回線上で送受信する用途が増加しつつある。このような用途においては、一般的に、記録時、又は送信時にビデオやオーディオの各データをそれぞれパケットと呼ばれる単位に区切り、それら複数のパケットを多重化した多重化ストリームを形成する。以下、このような多重化ストリームから所望のビデオ、オーディオの各データを抽出して、それぞれビデオ復号器、オーディオ復号器に転送する装置のことを多重化ストリーム分離装置と呼ぶ。

【0003】このようにデジタル化されたビデオ、オーディオデータを伝送あるいは記録する用途の広がりにもない、記録・送信側では複数のビデオ、オーディオデータを多重化する技術が必要となっている。また、再生側ではこれらの多重化されたデータから所望のビデオ、オーディオデータを分離して、ビデオデコーダ、オーディオデコーダに送ることが要求され、このような装置を多重化ストリーム分離装置という。

【0004】このような複数のビデオ、オーディオデータを多重化する規格のひとつとして、MPEG (Moving Pictures Expert Group) システム規格 (詳細は ISO/IEC, "Information Technology- Generic Coding of Moving Pictures and Associated Audio: SYSTEMS", ISO/IEC 13818-1 International Standard, 1994. Novなどを参照) があげられる。MPEG は、デジタルビデオ/オーディオの符号化およびその多重化に関する国際規格であり、そのなかの多重化に関する部分を MPEG システム規格と呼ぶ。以下、MPEG2 のシステム規格のうち、トランスポートストリーム (Transport Stream、以下 TS) と呼ばれるストリ

ームの形式に基づいて説明する。

【0005】TSは、一本のストリーム上に複数プログラムの多重が可能なストリーム形式であり、主に放送用途に適用されるものである。TSは188バイト固定長のパケットが連続するものであり、各々のパケットには符号化されたビデオデータ、オーディオデータ、および、ストリームに関する情報などが含まれる。各パケットの先頭にはヘッダが設けられており、このヘッダ内のPID(Packet Identifier)と呼ばれるパケット識別用のフィールドを調べることで、そのパケットの種類を知ることができる。次に、TSから所望のプログラムのビデオ、オーディオデータを分離する手順を簡単に説明する。まず、TSには前述のようにビデオ、オーディオデータ以外にPSI(Program Specific Information)と呼ばれるストリームに関する情報が含まれており、PSIを解析することにより各プログラムのビデオ、オーディオデータが含まれるパケットにつけられているPIDの値がわかるようになっている。PSIはPAT(Program Association Table)とPMT(Program Map Table)の2段階構成となっており、まず、PATパケットを解析し所望のプログラム番号に対応するPMTのPIDを得た後、PMTパケットを解析して所望プログラムのビデオ、オーディオデータが含まれるパケットのPIDを得ることになる。ビデオ、オーディオパケットのPIDの値が得られれば、該当するパケットのなかからビデオ、オーディオのデータを取り出してそれぞれの復号器(デコーダ)に転送する。

【0006】図5は前記MPEGシステム規格に基づいた多重化ストリーム分離装置の構成例である。送られてきたTSデータ101は分離部402によりビデオパケット、オーディオパケット、PSIパケットに分離される。PSIパケットはバッファ403を通してPSI解析部404に送られ、PAT、PMTの解析が行われる。初めにPATのみがPSI解析部404に送られるようになっており、PATが解析される。PMTパケットに付属するPIDが判明すれば、PSI解析部404はそのPIDを分離部402に送り、PAT、PMTがPSI解析部404に送られるようにする。さらにPMTが解析され、ビデオパケット、オーディオパケットの持つPIDの値が得られれば、PSI解析部404はそのPIDを分離部402に送る。このようにしてビデオパケット、オーディオパケットは分離部402からそれぞれバッファ403に転送され、順次ビデオデコーダ、オーディオデコーダに送られる(108, 109)。ただし、ビデオデコーダ、オーディオデコーダにはTSのヘッダなどを取り除いて送る必要があるため、バッファ403の書き込み/読み出し時にヘッダの読み飛ばしを行う必要がある。

【0007】上述のようなMPEGによるデジタルビデオ、デジタルオーディオの圧縮伸張方式と、その多重化・分離方式とからなる国際標準で、MPEGシス

テムとはその多重化・分離方式の規定の部分を作す。MPEGには現在MPEG1、MPEG2の二つの標準があるが、以下ではMPEG2のMPEGシステムを取り上げ説明する。また、MPEG2のMPEGシステムでは、一つのプログラムのビデオ、オーディオのパケット多重・分離する方式と、複数のプログラムのビデオ、オーディオのパケットを多重・分離する方式の2種類の方式が規定されている。前者の方式により多重化されたストリームはプログラムストリーム(以下PS)と呼ばれる。一方、後者の方式により多重化されたストリームはトランスポートストリーム(以下TS)と呼ばれる。TSでは複数プログラムのデータの多重化が可能であるためデジタル放送、デジタルCATV等の放送用途への適用が期待されている。

【0008】以下、入力ストリームであるTSについて、さらに説明する。TSは188バイト固定長のトランスポートパケットが多重化されたストリームである。各パケットの先頭には最小で4バイトのヘッダが設けられ、ヘッダの後にはペイロードと呼ばれるデータ格納部がある。ヘッダの先頭の4バイトは8つのフィールドに区切られており、各フィールドの長さは最小1ビット、最大13ビットである。これには8ビットの同期パターン、13ビットのPIDと呼ばれるパケット識別フィールドが含まれる。TSを分離する場合にはこれらのパケット識別フィールドの値を調べ、その値によりそのパケットに対する処理を分岐させる必要がある。すなわち、PID(パケット識別子)を見れば、そのパケットが何のパケットであるかが分かる。またヘッダ部が先頭4バイト以降に続く場合もあり、その場合は、さらに複数フィールドについて値を調べ、その値に従ってさらに処理を分岐させる必要がある。

【0009】上記パケットのうちビデオ、オーディオのパケットのペイロードには、ビデオ、オーディオのデータを符号化により圧縮したストリームがPES(Packetized Elementary Stream)という形で格納される。図2に、PESとTSの関係を示す。PESは、ビデオ、オーディオのストリームを適当な長さで区切り、区切った箇所にPESヘッダを先頭に付加したものである。PESヘッダの中にはビデオ、又はオーディオの復号、表示のタイミングを合わせるための時刻情報であるタイムスタンプが含まれている。つまり図2に示すようにPESのデータは、複数のTSのパケットのペイロードに分割して格納される。なお、図2は、1本のPESから1本のTSを作成する場合について示している。ビデオ、オーディオの2本のPESから1本のTSを作成する場合には、PES毎に独立に複数のTSのパケットのペイロードに分割した後、それらのパケットを多重化する。この場合作成されるTSはビデオ、オーディオのパケットが混在したストリームとなる。

【0010】次にTSから所望のプログラムのビデオ、

オーディオを復号する手順を説明する。まず所望のプログラムのビデオ、オーディオのデータが格納されたパケットのペイロード識別情報PIDを求める。次にそれらのPIDを持つパケットのペイロードを抜き出し、それぞれビデオ、オーディオの復号器に送る。ビデオ、オーディオの復号器では入力された符号化データを伸張して出力する。TSには、選択したプログラム番号に対してそのプログラムを構成するビデオ、オーディオのパケットのPIDを与えるための情報として、PSI (Program Specific Information) と言うテーブルが用意されている。すなわち、TSの中でどれが1チャンネルのビデオで、どれが2チャンネルのオーディオであるかが分からなければ、復号器に取り出せない。従って、あるプログラム番号に対してそのプログラムを構成するビデオ、オーディオがそれぞれ格納されたパケットのPIDを与えるためのPSIと言うテーブルが、以下に説明するようにTSに準備されている。すなわち、PSIと言うテーブルは、上述のようにPAT (Program Association Table) とPMT (Program Map Table) との二段階のテーブルから構成される。まずPATとは、あるプログラム番号に対してそのプログラムのPMTのパケットのPIDを与えるテーブルである。またPATとはPIDがオール"0" (以下、単に0と記す) のパケットであり、このPATのパケットのペイロードにPMTのパケットのPIDが格納されている。

【0011】またPMTとは、プログラム番号毎にプログラムを構成するビデオ、オーディオのパケットのPIDを与えるテーブルである。これらPAT、PMTを用いてビデオ、オーディオのPIDを得る手順は、次の2ステップになる。まず、最初のステップでは、PID=0のPATのパケットのペイロードを解析することにより、PMTのPIDを得る。次のステップでは、PMTのパケットを解析してビデオ、オーディオのPIDを得る。

【0012】このようにして、TSを受信する受信装置で希望のチャンネルのプログラムを再生する際には、PATから複数のチャンネルのプログラム番号とこれらに対応するPMTのPIDが得られ、このうち受信希望のチャンネルのプログラム番号のPMTのPIDから受信希望のチャンネルのプログラムを構成するビデオストリームとオーディオストリームとを抽出することができる。なお、TSには上述したビデオ、オーディオ、PAT、PMT以外のデータを格納したパケットも多重可能であるが、簡単のためビデオ、オーディオ、PAT、PMTのパケットが多重化されたTSについて考えるものとする。

【0013】図11にTSを入力としビデオ、オーディオを出力する一般的なTS復号器の構成を示す。図11のTS復号器は、TS分離装置1、ビデオ復号器2、オーディオ復号器3から構成される。

【0014】このうちTS分離装置1で行う処理は、大きく分けて次の二つである。一つは、所望のプログラムのビデオ、オーディオのストリームをパケットのペイロードから抜き出し、それぞれビデオ復号器2、オーディオ復号器3に送ることである。もう一つは、PESヘッダ内のタイムスタンプに基づきビデオ復号器2、オーディオ復号器3の復号タイミングを制御することである。以下、TS復号器のTS分離装置1のこれらの処理について説明する。まず所望のプログラムのビデオ、オーディオストリームを取り出す処理について説明する。まず、TS分離装置1は入力されるTSの同期パターン (具体的には、16進数で47と言う特定パターン) を検出することによりパケットに区切り、各パケットヘッダ内のPIDの値を得ることができる。次に、TS分離装置1はPIDが0に一致するPATパケットの内容を解析して、複数のプログラムのPMTパケットのPIDを得ることができる。次に、希望プログラムのPMTのPIDに一致するPIDを有するパケットの内容をTS分離装置1が解析し、ビデオ、オーディオのPIDを得ることができる。このようにしてTS分離装置1は、ビデオ、オーディオのPIDに一致するPIDを持つパケットのペイロードのデータからPESのヘッダを除いた部分を、それぞれビデオ復号器2、オーディオ復号器3に転送する。

【0015】次にTS分離装置1のタイムスタンプによるタイミング制御処理を、ビデオの場合を例にとりて説明する。タイムスタンプはビデオではピクチャという単位に対して与えられる。ビデオストリームは数段階の階層構造になっており、そのうち一番上の階層がシーケンスと呼ばれる階層、その下の階層がピクチャである。シーケンスの先頭にはシーケンスヘッダが設けられており、復号に必要な画面サイズなどの情報が格納されている。そのため、TS分離装置1は、電源投入直後の初期状態あるいは希望チャンネル変更によりプログラムが切り替わった場合等には、ビデオストリーム内のシーケンスヘッダを検出し、その後のピクチャからタイミング制御を行う必要がある。いったん復号が開始された後は、ピクチャヘッダをビデオストリーム内から検出し、ピクチャとタイムスタンプとの対応をとる。これらシーケンスヘッダ、ピクチャヘッダの位置を見つけるには、それぞれのヘッダの先頭のシーケンスヘッダコード、ピクチャスタートコードと呼ばれる4バイトの特定パターンを探す必要がある。オーディオの場合にも同様に、フレームと呼ばれる単位に対しタイムスタンプとの対応付けが必要である。この場合はストリーム中からフレーム先頭の同期パターンを探す必要がある。すなわち、ビデオ、オーディオのタイミング制御処理には、ストリーム中のシーケンスヘッダコード、ピクチャスタートコード、同期パターンの特定パターンを検出する処理が含まれる。

【0016】以上のことからTS分離装置1の処理は、

次の4つの処理にまとめられる。すなわち、(1)同期検出によるパケットの先頭合わせ(パケット区切り識別処理)、(2)パケット識別情報(PID)によるパケット選択、(3)ヘッダの特定パターンの解析と処理の分岐、(4)ビデオとオーディオ等の所望の出力データのタイミング制御、である。

【0017】

【発明が解決しようとする課題】前記のような構成の多重化ストリーム分離装置では、各パケット種類ごとにバッファを持っており、それらの管理が煩雑となる。特に、PSI解析およびTSヘッダの読み飛ばし、バッファ管理をひとつのPSI解析部404のCPUによる管理(ソフトウェア管理)で行おうとすると、複数のバッファ管理の各処理を独立に行わなければならない、CPUである解析処理部の負荷が重くなってしまうと言う問題が本願発明者等の検討により明かとされた。

【0018】本発明はこのような問題を解決するためになされたものであり、その第一の目的とするところは解析処理部の処理を軽減することの可能なデータ分離装置を提供することにある。

【0019】上述した(1)~(4)の処理を行う多重化ストリーム装置を実現しようとするとき次のような問題が生じることが本願発明者等の検討により明かとされた。

【0020】まず、全てをハードウェアのみで構成しようとした場合には、特に(3)、(4)の処理を行うハードウェアの規模がかなり大きくなってしまふ。これ以外にも、パケットヘッダには同期パターン、パケット識別情報(PID)以外の情報も含まれており、ハードウェアのみでの対応が困難なこと等にもよる。

【0021】また、汎用CPU(Central Processing Unit)とソフトウェアとを用いて上記(1)~(4)の処理を実現しようとした場合には、(1)、(3)の同期パターン、シーケンスヘッダコード等の特定パターンの検出処理に膨大なステップ数が費やされることになり、(2)、(4)の処理に支障をきたす恐れがある。特に、TSのようにビットレートが数十MHzと高く、さらにヘッダの構造が複雑である場合には、(1)~(4)の処理を全てCPUのソフトウェア処理で実行することはかなり困難である。すなわち、全てをハードウェアのみで処理する方法、もしくは、CPUのソフトウェアのみで処理する方法の何れも現実的でないといえる。

【0022】本発明はこのような問題を鑑みてなされたものであり、その第二の目的とするところは、ビットレートが高く、ヘッダの構造が複雑な多重化ストリームを分離する場合にも分離処理を正しく実行可能な低コストのデータ分離装置を提供することにある。

【0023】

【課題を解決するための手段】上記第一の目的は、データ分離装置を書き込み制御部とメモリと解析処理部と転送制御部とで構成し、書き込み制御部では到達したパケ

ットを到着順にメモリに書き込み、その書き込み情報を解析処理部に送り、解析処理部では上記書き込み情報をもとにパケット到達順にパケットの解析を行ってその解析結果のみを転送制御部に送り、メモリからパケットの到達順に読み出されたデータを転送制御部は上記解析結果をもとにデコーダに送ることによって基本的に達成される。上記第一の目的を達成する本発明の具体的な実施形態は、複数のデータを多重化した入力ストリームを分離し所望のデータを出力するデータ分離装置であって、上記入力ストリームのデータを複数の格納領域に記憶するメモリ(104、304)と、上記入力ストリームのデータを受信して、該データから得られたパケット単位のデータを上記メモリ(104、304)の上記複数の格納領域のひとつの格納領域に書き込む書き込み制御部(102、302)と、上記メモリ(104、304)から上記パケット単位のデータを読み出し、該読み出されたデータの種別を解析して解析情報を生成する解析処理部(105)と、上記メモリ(104、304)から読み出されたデータを上記解析処理部(105)からの上記解析情報に応答してその出力に転送する複数の転送制御部(106、107)とを具備してなり、上記書き込み制御部(102、302)から複数のパケット単位のデータが上記メモリ(104、304)に順次書き込まれる際に、上記複数のパケット単位のデータのそれぞれの書き込みアドレス情報をFIFOメモリ(FIFO)に順次格納せしめ、上記解析処理部(105)は上記FIFOメモリ(FIFO)から順次読み出される上記書き込みアドレス情報に従って上記メモリ(104、304)からパケット単位のデータを順次読み出してデータの種別を解析することにより解析情報を順次生成し、上記複数の転送制御部(106、107)のひとつの転送制御部が上記解析処理部(105)からの上記解析情報に選択的に応答して、上記メモリ(104、304)のひとつの格納領域から読み出されたデータをその出力に転送することを特徴とする(図1、図4参照)。上記第一の目的を達成する本発明のさらに具体的な実施形態は、上記メモリ(104、304)と上記解析処理部(105)と上記複数の転送制御部(106、107)とはバス(103)を介して相互に接続され、上記解析処理部(105)はCPUで構成され、上記FIFOメモリは上記解析処理部(105)の上記CPU内部のハードウェアであることを特徴とする。

【0024】上記第一の目的を達成する本発明の他のさらに具体的な実施形態は、上記メモリ(104、304)と上記解析処理部(105)と上記複数の転送制御部(106、107)とはバス(103)を介して相互に接続され、上記解析処理部(105)はCPUで構成され、上記FIFOメモリは上記解析処理部(105)の上記CPUの動作を制御するソフトウェアにより実現されることを特徴とする。本発明のより好適な実施形態は、上記複数の転送制御部(106、107)のひとつの転送制御部が上記解析処理部(105)からの上記解析情報を転送要求割り込み信号として選択的に応答して、上記メモリ(104、304)のひとつの格納領域からデータを読み出

し、該読み出されたデータをその出力に転送することを特徴とする。上記第一の目的を達成する本発明の好適な実施形態は、上記入力ストリームはビデオとオーディオとの少なくともふたつのデータが多重化されたデータであり、上記複数の転送制御部(106、107)はビデオ転送制御部(106)とオーディオ転送制御部(107)との少なくともふたつを含み、上記解析処理部(105)は上記FIFOメモリ(FIFO)から順次読み出される上記書き込みアドレス情報に従って上記メモリ(104、304)からパケット単位のデータを順次読み出してビデオとオーディオとの少なくともふたつのデータの種類の解析することにより解析情報を順次生成し、上記解析処理部(105)からの上記解析情報がビデオのデータの種類のことに上記ビデオ転送制御部(106)は選択的に応答して、上記メモリ(104、304)のひとつの格納領域から読み出されたデータをその出力に転送し、上記解析処理部(105)からの上記解析情報がオーディオのデータの種類のことに上記オーディオ転送制御部(107)は選択的に応答して、上記メモリ(104、304)のひとつの格納領域から読み出されたデータをその出力に転送することを特徴とする。上記第一の目的を達成する本発明のより好適な実施形態は、上記メモリ(304)は書き込みデータ端子が上記書き込み制御部に接続され、読み出しデータ端子が上記複数の転送制御部に接続されたデュアルポートメモリであることを特徴とする。

【0025】上記第二の目的を達成するため、複数のデータを多重化した入力ストリームを分離し所望の出力データを出力するための本発明の具体的な実施形態によるデータ分離装置は、上記入力ストリームのデータを格納するメモリ(5)と、上記入力ストリームのデータを受信して、該受信データから得られたパケットデータを上記メモリ(5)に書き込む書き込み制御部(4)と、上記メモリ(5)から上記パケットデータを読み出し、該読み出されたパケットデータの種類の解析する解析処理部(6)とを具備してなり、上記書き込み制御部(4)は、上記入力ストリームのデータから所定の同期パターンのパケットヘッダを検出する同期検出器(7)と、上記解析処理部(6)により指定されたパケット識別情報を有するパケットデータを上記入力ストリームのデータから選択するパケット選択部(18)と、上記パケット選択部(18)により選択される選択パケットデータが上記所望の出力データを構成するパケットデータのタイミング制御処理のための特定パターンを有することを検出して、該パケットデータを上記メモリ(5)へ格納し該検出結果の付加情報を出力するパケット検出格納部(19)とを有してなり、上記解析処理部(6)はソフトウェアで動作が制御されるCPUで構成され、上記CPU(6)は上記メモリ(5)から読み出された上記パケットデータから上記所望の出力データを構成するパケットデータのパケット識別情報を求め、該パケット識別情報を上記パケット選択部(18)

に設定し、上記CPU(6)は上記パケット検出格納部(19)から出力される上記付加情報に回答して上記付加情報を有する上記パケットデータのタイミング制御処理を開始して実行することとを特徴とする(図6参照)。

【0026】上述の本発明の具体的な実施形態によれば、下記の理由により上記第二の目的を達成することができる。

(1)同期検出によるパケットの先頭合わせ(パケット区切り識別処理)は、書き込み制御部(4)で入力ストリームのデータから所定の同期パターンのパケットヘッダを検出する同期検出器(7)によってハードウェア方式で実行されるので、ソフトウェアのステップ数を削減することができる。

(2)パケット識別情報(PID)によるパケット選択は、書き込み制御部(4)で指定パケット識別情報を有するパケットを入力ストリームのデータから選択するパケット選択部(18)によってハードウェア方式で実行されるので、ソフトウェアのステップ数を削減することができる。

(3)ヘッダ解析の特定パターンと処理の分岐は、選択パケットデータが特定パターンを有することを検出してこの検出結果の付加情報を出力するパケット検出格納部(19)のハードウェアとメモリ(5)からの読み出しパケットデータの種類の解析するCPU解析処理部(6)のソフトウェア動作で実行されるので、ハードウェアの規模削減とソフトウェアのステップ数削減が可能となる。

(4)ビデオとオーディオ等の所望の出力データのタイミング制御に関しては、所望の出力データを構成するパケットのパケット選択部(18)での選択を示す付加情報がパケット検出格納部(19)から出力されることに解析処理部(6)が応答して付加情報を有するパケットデータのタイミング制御処理を開始して実行するので、解析処理部(6)のタイミング制御のための特定パターンの常時検出を不要とでき、解析処理部(6)の処理量を削減することができる。

【0027】上記第二の目的を達成するため本発明の他の具体的な実施形態によるデータ分離装置は、上記入力ストリームのデータを格納するメモリ(5)と、上記入力ストリームのデータを受信して、該受信データから得られたパケットデータを上記メモリ(5)に書き込む書き込み制御部(4)と、上記メモリ(5)から上記パケットデータを読み出し、該読み出されたパケットデータの種類の解析する解析処理部(6)とを具備してなり、上記書き込み制御部(4)は、上記解析処理部(6)により指定されたパケット識別情報を有するパケットデータを上記入力ストリームのデータから選択して、該パケットデータを上記メモリ(5)へ格納する選択部(9、15)と、上記入力ストリームのデータから所定の同期パターンのパケットヘッダを検出し、上記選択部(9、15)により選択される選択パケットデータが上記所望の出力データを構成す

るパケットデータのタイミング制御処理のための特定パターンを有することを検出して、該検出結果の付加情報を出力する検出器(14)とを有してなり、上記解析処理部(6)はソフトウェアで動作が制御されるCPUで構成され、上記CPU(6)は上記メモリ(5)から読み出された上記パケットデータから上記所望の出力データを構成するパケットデータのパケット識別情報を求め、該パケット識別情報を上記選択部(9、15)に設定し、上記CPU(6)は上記検出器(14)から出力される上記付加情報にตอบสนองして上記付加情報を有する上記パケットデータのタイミング制御処理を開始して実行することを特徴とする(図10参照)。

【0028】上述の本発明の他の具体的な実施形態によれば、下記の理由により上記第二の目的を達成することができる。

(1)同期検出によるパケットの先頭合わせ(パケット区切り識別処理)は、書き込み制御部(4)で入力ストリームのデータから所定の同期パターンのパケットヘッダを検出する検出器(14)によってハードウェア方式で実行されるので、ソフトウェアのステップ数を削減することができる。

(2)パケット識別情報(PID)によるパケット選択は、書き込み制御部(4)で指定パケット識別情報を有するパケットを入力ストリームのデータから選択する選択部(9、15)によってハードウェア方式で実行されるので、ソフトウェアのステップ数を削減することができる。

(3)ヘッダ解析の特定パターンと処理の分岐は、選択パケットデータが特定パターンを有することを検出して、この検出結果の付加情報を出力する検出器(14)のハードウェアとメモリ(5)からの読み出しパケットデータの種類を解析するCPU解析処理部(6)のソフトウェア動作で実行されるので、ハードウェアの規模削減とソフトウェアのステップ数削減が可能となる。

(4)ビデオとオーディオ等の所望の出力データのタイミング制御に関しては、所望の出力データを構成するパケットの選択部(9、15)での選択を示す付加情報が選択部(9、15)から出力されることに解析処理部(6)がตอบสนองして付加情報を有するパケットデータのタイミング制御処理を開始して実行するので、解析処理部(6)のタイミング制御のための特定パターンの常時検出を不要とでき、解析処理部(6)の処理量を削減することができる。

【0029】本発明のその他の目的と新規な特徴とは、以下の実施例から明かとなる。

【0030】

【発明の実施の形態】以下、図面を参照して本発明の実施例による多重化ストリーム分離装置の構成と動作とを詳細に説明する。以下に述べる実施例はMPEG2システム規格で規定されたTSを分離する装置に関するものであるが、他の多重化ストリームを入力とする多重化ストリ

ーム分離装置およびその他のデータ分離装置にも適用できるものである。

【0031】図1は上記第一の目的を達成する本発明の実施例による多重化ストリーム分離装置の実施例を示す図である。図1において、102は入力されるTSデータ101をメモリ104に書き込むための書き込み制御部、103はデータバス、104はメモリ、105はTSパケットを解析する解析処理部、106はビデオデータをビデオデコーダに転送するビデオ転送制御部(Video)、107はオーディオデータをオーディオデコーダに転送するオーディオ転送制御部(Audio)である。尚、メモリ104内には受信したTSパケットを格納するためのパケットバッファが設けられており、複数パケットを格納することができる。また、解析処理部105は処理が複雑であるため、CPU(Central Processing Unit)を用いて実現されている。さらに、メモリ104内には解析処理部105としてのCPUの動作を制御するソフトウェアを格納するメインメモリとしての記憶領域も割り付けられている。尚、このメインメモリは、バッファメモリ104とは別に、データバス103に接続されることも可能である。

【0032】図1において、送られてきたTSデータ101は書き込み制御部102でパケット単位に区切られ、パケット単位でメモリ104に転送される。この書き込み制御部102からメモリ104への転送制御は、書き込み制御部102自身で行ってもよいし、割り込み等でパケット到達を解析処理部105に知らせて解析処理部105がDMA(Direct Memory Access)の制御を行ってもよい。すなわち、後者の場合は、解析処理部105としてのCPUがDMA転送割り込み要求を受けると、パケット単位のTSデータ101はデータバス103を介して書き込み制御部102からメモリ104に直接DMA転送される。いずれの場合にも、書き込み制御部102からメモリ104へのパケット単位のTSデータ101のDMA転送に際して、解析処理部105にはメモリ104内のどこにパケットが書き込まれたかのパケット書き込みアドレス情報が送られる。このパケット書き込みアドレス情報としては、メモリ内のアドレス信号でもパケットバッファの番号でもよいが、以下はパケットバッファ番号の場合について説明する。解析処理部105は上記パケットバッファ番号によるパケット書き込みアドレス情報をもとにパケット解析を行う。パケット解析はパケットの到達順に行う必要があるため、解析処理部105にFirst in First Outメモリ(以下、FIFOと言う)を持ち、パケット書き込みアドレス情報(パケットバッファ番号)はこのFIFOに順次格納される。尚、解析処理部105は上述の如くCPUで構成されているので、このFIFOはCPU内部の専用ハードウェアにより実現されることもできるし、メインメモリとしてのメモリ104に格納されたCPUの動作を制御するソフトウェアにより実現されることもできる。すなわち、解析処理部105はかくして実現されるFIFOからパケットバッファ番号を順次に読み出し、このパケットバ

バッファ番号に該当するメモリ104のバッファからデータを読み出して、このパケットのデータについて解析処理を行う。解析の結果、該当パケットがPSIであれば解析結果を保持する。該当パケットがビデオあるいはオーディオのデータのバケットであれば、パケットバッファ番号、ビデオあるいはオーディオの種別情報およびパケットのデータの中でビデオあるいはオーディオのデコーダに転送すべきデータの位置を転送情報としてそれぞれのビデオ転送制御部106、オーディオ転送制御部107に送る。ビデオ転送制御部106とオーディオ転送制御部107は上述した転送情報をFIFOから受けて、パケット到達順にメモリ104から読み出されたパケットのデータをビデオあるいはオーディオの種別に応じて選択的にその出力に転送する。すなわち、FIFOからの転送情報が読み出されたパケットのデータがビデオであることを示す場合は、ビデオ転送制御部106がこの転送情報に選択的に応答して読み出されたパケットのデータをその出力に転送する。この際、ビデオ転送制御部106はDMA転送要求の割り込み信号としてのFIFOからの転送情報に応答してメモリ104の該当のパケットのデータを読み出して、その出力のビデオデコーダに転送する。逆に、FIFOからの転送情報が読み出されたパケットのデータがオーディオであることを示す場合は、オーディオ転送制御部107がこの転送情報に選択的に応答して読み出されたパケットのデータをその出力に転送する。この際、オーディオ転送制御部107はDMA転送要求の割り込み信号としてのFIFOからの転送情報に応答してメモリ104の該当のパケットのデータを読み出して、その出力のオーディオデコーダに転送する。尚、ビデオ転送制御部106あるいはオーディオ転送制御部107のデータの出力へ実際の転送は、ビデオあるいはオーディオのデコーダからの要求に応じるものである(108, 109)。解析処理部105によるPSIの解析処理が完了するか、ビデオ転送制御部106あるいはオーディオ転送制御部107への転送が終了してひとつのパケットの転送処理が終了したら、解析処理部105、ビデオ転送制御部106、オーディオ転送制御部107のいずれかは解析処理あるいは転送処理の終了済みのパケットが格納されていたパケットバッファ番号を書き込み処理部102にデータバス103を介して転送する。この転送されたパケットバッファ番号に応答して書き込み処理部102は該当するパケットバッファを空きとして、次に到達するTSパケットの格納を可能にする。

【0033】以上説明した図1の構成の多重化ストリーム分離装置の管理情報の流れを示したのが図3である。TSパケットが到達して書き込み制御部102によりメモリ104のバッファに1パケットのデータが順次書き込まれると、書き込まれたパケットバッファの番号が書き込み制御部102から順次出力される(201)。出力されたパケットバッファ番号は、FIFO210を通して解析処理部105に送られ、解析処理部105により順次読み出され

る。尚、FIFOからのパケットバッファ番号の読み出し順序は、FIFOへのパケットバッファ番号の書き込み順序となる。すなわち、解析処理部105では、FIFO210からパケットバッファ番号を読み出すことによりパケットの到着順にその内容を解析する。パケットがPSIであった場合には、解析完了後に該当するパケットバッファ番号を書き込み制御部102に転送し(204)、メモリ104の該当するパケットバッファを「空き」とする。一方、パケットの内容がビデオあるいはオーディオの場合には、パケットバッファ番号等の転送情報がFIFO211から該当する転送制御部106、107に転送される。転送制御部106、107ではFIFO211から読み出した転送情報に選択的に応答して、1パケット分のビデオあるいはオーディオのデータを出力側のビデオあるいはオーディオのデコーダに転送する。具体的には、ビデオあるいはオーディオ転送制御部106、107はDMA転送要求の割り込み信号としてのFIFOからの転送情報に応答してメモリ104の該当のパケットのデータを読み出して、その出力のビデオあるいはオーディオデコーダに転送する。この1パケット分の転送の終了後、転送制御部106、107は該当するパケットバッファ番号を書き込み制御部に送り(205, 206)、メモリ104の該当するパケットバッファを「空き」とする。次に書き込み制御部102は、次に到達したTSパケットを上述の「空き」となっているパケットバッファに書き込む。この時に、「空き」となっているパケットバッファが複数ある場合には、到達したTSパケットをどのパケットバッファに書き込むかは任意である。これは、前述のように、メモリ104の任意のパケットバッファへの書き込みにもかかわらず、TSパケットの到着順に解析・デコーダへの転送を行うことができるためであり、このようにすることにより、バッファ管理を簡略化することができる。なお、上記の説明では処理に必要なPSIおよびビデオ、オーディオパケットについてのみ示したが、実際のTSパケットにはこれ以外に他のプログラムのデータなど処理に必要なパケットも含まれている。このような無効パケットは破棄する必要があるが、パケットにつけられているPIDにより無効パケットが判別できるので、処理に必要なパケットのPIDの値を解析処理部105から書き込み制御部102に送り、これとPIDが一致するパケットのみをパケットバッファに書き込むような構成とすることにより、転送されるデータ量を減少させることが可能である。

【0034】図4は、本発明の他の実施例による多重化ストリーム分離装置の構成を示す。図4において、302は入力されるTSパケットをメモリ304に書き込むための書き込み制御部、304はデュアルポートメモリ、103はデータバス、105はTSパケットを解析する解析処理部、106はビデオデータをビデオデコーダに転送するビデオ転送制御部(Video)、107はオーディオデータをオーディオデコーダに転送するオーディオ転送制御部(Audio)

o)である。図4の実施例が図1の実施例と特に異なるのは、受信した複数のTSパケットを格納するためのメモリ304が書き込みと読み出しが独立に行えるデュアルポートメモリであることである。すなわち、デュアルポートメモリ304の書き込みデータ端子は書き込み制御部304に接続される一方、読み出しデータ端子はデータバス103を介してビデオ転送制御部106、オーディオ転送制御部107に接続されて、メモリへの書き込みと読み出しとが平行に実行可能である。従って、書き込み制御部302からデュアルポートメモリ304へのTSパケットの順次書き込みの処理と平行して、デュアルポートメモリ304からビデオ転送制御部106、オーディオ転送制御部107への1パケットのデータの順次読み出し・転送の処理が可能となる。この順次書き込みの処理と順次読み出し・転送とはCPU105のFIFOに順次格納されたパケットバッファ番号に従うことは、図1の実施例の場合と同様である。尚、デュアルポートメモリ304の平行処理をするため、書き込み制御部302からCPU105のFIFOにパケットバッファ番号を転送する経路は、図4の破線に示すように、データバス103とは独立であることが望ましい。尚、図4の本発明の実施例による多重化ストリーム分離装置の動作は図1の実施例と基本的に同様であるので、説明を省略する。以上の二つの実施例のような構成とすることにより、CPUである解析処理部におけるバッファ管理が簡略化され、CPUである解析処理部の負荷が軽減される。また、図4の実施例のような構成とすることにより、TSデータをメモリ304に書き込むためにCPUが接続されたデータバス103を使う必要がなくなり、書き込み制御部302と解析処理部105とをより効率的に使用することができる。以上、本発明の実施例を詳細に説明したが、本発明は上記の具体的な実施例に限定されるものではなく、その技術的思想の範囲内で種々の変形が可能であることは言うまでもない。例えば、以上の実施例の説明においては解析処理部がCPUで構成されている場合について示したが、この部分が専用ハードウェアで構成された場合にも、同様にして処理を行うことができる。また、書き込み制御部102、302あるいはビデオ転送制御部106、オーディオ転送制御部107は必ずしも専用ハードウェアである必要はなく、そのいずれかまたはすべてをCPUによる処理とすることももちろん可能である。

【0035】以下、上記第二の目的を達成する本発明の第一の実施例について説明する。図6に本実施例のTS分離装置の構成を示す。図6のTS分離装置は、書き込み制御部4と、メモリ5と、解析処理部であるCPU6とから構成される。ビデオとオーディオ等のパケットデータが多重化されたトランスポートストリーム(TS)が書き込み制御部4に入力されることにより、ビデオとオーディオ等の所望の出力データが解析処理部であるCPU6の解析処理により分離されることができる。尚、解析処理部であるCPU6の動作は、図示されないメイン

メモリに格納されたプログラムのソフトウェアで制御される。書き込み制御部4は、同期検出部7と、パケット選択部18と、パケット検出格納部である特定パターン検出部19とで構成されている。同期検出部7は、TSのパケットヘッダに含まれる所定の同期パターン(具体的には16進数表示で47、2進数表示で01000111)を検出することによってパケット先頭を検出し、188バイト固定長のトランスポートパケットの単位にTSのデータを区切るものである。パケット選択部18はCPU6により設定されたパケット識別情報PIDに一致するパケット識別情報PIDを有するパケットを選択して入力から出力へ転送するものであり、選択されないパケットは実効的に廃棄される。尚、CPU6よりパケット選択部18にパケット識別情報PIDが設定されることにより、パケット選択部18はPAT、PMT、ビデオ、オーディオのパケットデータを選択して、選択パケットデータを特定パターン検出部19へ転送する。パケット検出格納部である特定パターン検出部19は、パケット選択部18により選択されたパケットデータの特定パターンを検出して、検出結果をそのパケットの付加情報としてパケットと共に出力するメモリ5へ格納する。この特定パターン検出部19が検出する特定パターンは、ビデオストリームのシーケンスヘッダコード、ピクチャスタートコード、オーディオストリームの同期パターンである。このようにして書き込み制御部4から選択出力されたパケットデータとそのパケットの付加情報は、メモリ5の隣接したアドレス(同一のエントリ)に格納される。尚、このメモリ5は書き込み制御部4からのパケットデータの書き込み順序に従ってパケットデータと付加情報とを読み出して解析処理部であるCPU6へ転送するため、メモリ5はFIFOメモリ(First In First Out)の機能を有する。このFIFOメモリ5はハードウェアで構成されることもできるし、CPU6のソフトウェアで制御されるメインメモリ(図示せず)の一部で構成されることもできる。CPU6はメモリ5から読み出されたパケットデータからビデオやオーディオの所望の出力データを構成するパケットデータのパケット識別情報を求め、パケット識別情報をパケット選択部18に設定する。またCPU6はメモリ5から読み出される付加情報に回答して付加情報を有するパケットデータのタイミング制御処理を開始して実行する。

【0036】上記のように構成された図6に示すデータ分離装置の処理動作を、以下に説明する。所定の同期パターンを検出する同期検出部7によって、トランスポートストリームTSは188バイト固定長のトランスポートパケットに区切られる。ビデオやオーディオのパケットのパケット識別情報PIDを得るためのPSIは上述のようにPATとPMTとの二段階のテーブルから構成され、まずPATのパケットを抽出してPATのペイロードからPMTのPIDを得て、さらにPMTのパケット

を抽出してPMTのペイロードからビデオやオーディオの packets のPIDを得る必要がある。従って、最初にPATの packets の抽出を行う必要があるので、PATのPIDのオールゼロ(以下、0)をCPU6がパケット選択部18に設定する。その結果、PIDが0のPATパケットは特定パターン検出部19を介してメモリ5のエントリに格納される。この時、このエントリに格納される付加情報は、“0”(選択パケットデータは、特定パターンを含まない)である。次に、PIDが0のPATパケットがメモリ5から読み出されCPU6に供給されることにより、CPU6はPATパケットのペイロードを解析してPMTのPIDを得て、このPMTのPIDをパケット選択部18に設定する。その結果、PMTパケットは特定パターン検出部19を介してメモリ5のエントリに格納される。この時も、同様にこのエントリに格納される付加情報は、ゼロとなる。次に、PMTパケットがメモリ5から読み出されCPU6に供給されることにより、CPU6はPMTパケットのペイロードを解析してビデオやオーディオの packets のパケット識別情報PIDを得て、これらの packets のPIDをパケット選択部18に設定する。従って、パケット選択部18は入力される packets がビデオあるいはオーディオの packets であれば、これらの packets を出力に選択して、これらの選択パケットは特定パターン検出部19を介してメモリ5のエントリに格納される。この時、選択パケットデータが特定パターンを含む場合は、エントリ格納の付加情報は1となり、選択パケットデータが特定パターンを含まない場合は、エントリ格納の付加情報はゼロとなる。次に、CPU6がFIFOのメモリ5からパケットデータを順次読み出して、このパケットデータの解析処理を行い、この解析結果から得られるビデオあるいはオーディオの種別情報をビデオストリームあるいはオーディオストリームとともにビデオ復号器あるいはオーディオ復号器へ転送する。このようにして、ビデオとオーディオ等のパケットデータが多重化されたトランスポートストリームTSが書き込み制御部4に入力されることにより、ビデオとオーディオ等の所望の出力データが解析処理部であるCPU6の解析処理により分離されることができる。また、ビデオとオーディオ等のパケットデータが多重化されたトランスポートストリームが入力される多重ストリーム分離装置においては、電源投入直後の初期状態あるいは希望チャンネル変更によりプログラムが切り替わった場合には、前述のようにビデオ、オーディオのストリームに対してタイムスタンプによるタイミング制御処理を行う必要がある。このためには、ビデオストリームのパケットデータからシーケンスヘッダコード、ピクチャスタートコードを検出するとともに、オーディオストリームのパケットデータから同期パターンの位置を検出する必要がある。

【0037】本実施例では、CPU6はメモリ5から読

み出された付加情報(パケットデータ中のシーケンスヘッダコード、ピクチャスタートコード、同期パターンの特定パターンの存在有無情報)にตอบสนองし、特定パターンが存在するパケットに対してのみ特定パターンの位置検出処理とタイミング制御処理とを行う。電源投入直後の初期状態あるいは希望チャンネル変更によりプログラムが切り替わった場合には、ビデオストリームに関しては次のシーケンスヘッダまでのパケットデータを捨てる必要がある。このような場合も、本実施例では、CPU6は付加情報のみの監視チェックで良く、特定パターンの存在を示す付加情報のパケットまでパケットデータの読み飛ばしが可能である。特定パターンの存在を示す付加情報をCPU6が検出したら、CPU6は該当パケットデータからのシーケンスヘッダコード、ピクチャスタートコード、同期パターンの特定パターンを検出して、タイムスタンプによるタイミング制御処理を開始して実行する。すなわち、本実施例によればCPU6は特定パターンの存在を示す付加情報にのみ選択的にตอบสนองするので、書き込み制御部4で選択された全てのパケット中の特定パターンの存在有無の監視をCPUで継続実行する場合に比べ、CPUの処理量を低減できる。ようするに、付加情報により特定パターンの検出処理の対象となるパケットの数を最小にできるため、CPU6の処理量を低減することができる。そのため、トランスポートストリームTSのビットレートが高く、ヘッダが複雑な場合にも正しく分離処理を行うことができる。以上説明したように、解析処理部のCPU6はメモリ5から読み出されるパケットと付加情報からパケットのヘッダを解析しPIDに基づきビデオ、オーディオのストリームを抜き出し、タイムスタンプによるタイミング合わせを行って出力する。

【0038】本発明は上記の実施例に限定されるものではなく、その技術思想の範囲内で種々の変形が可能であることは言うまでもない。以下の変形実施例では、上記実施例と同一の事項は説明を省略し、相違点のみを説明する。

【0039】次に図7を参照して、本発明の他の実施例について説明する。本実施例は、上記実施例のトランスポートストリーム(TS)分離装置のより具体的な構成例を示したものである。図7のTS分離装置1は、CPU6と、CPU6に制御されるアドレスバス16とデータバス17、アドレスバス16とデータバス17とに接続された書き込み制御部4、メモリ5からなる。尚、CPU6からのアドレスはビデオ復号器2、オーディオ復号器、3書き込み制御部4、メモリ5に供給されることにより、これらの周辺機器をアクセスすることができる。

【0040】以下、図7のTS分離装置1の動作を、以下に説明する。まず書き込み制御部4では、TSが入力として与えられると、CPU6により設定されたPID

に基づき必要なパケットのみを選択して、パケット単位でデータバス17を通じてメモリ5に格納する。この書き込み制御部4からメモリ5への転送制御は、書き込み制御部4自身が行っても良いし、書き込み制御部4が割り込み等でパケット到来を解析処理部であるCPU6に通知して、CPU6がDMA(Direct Memory Access)制御を行ってもよい。後者の場合は、解析処理部であるCPU6がDMA転送割り込み要求を受けると、パケット単位のTSデータはデータバス17を介して書き込み制御部4からメモリ5へ直接DMA転送される。書き込み制御部4ではパケットデータだけでなく、パケットデータに関する付加情報も出力する。ここでは付加情報としては、ビデオ、オーディオのタイミング制御処理のためのストリーム中のシーケンスヘッダコード、ピクチャスタートコード、同期パターンの特定パターンの存在有無を示すものである。具体的な付加情報としては、ビデオのパケットのペイロードにおけるシーケンスヘッダコードとピクチャスタートコードの有無の情報と、オーディオストリームの同期パターンの有無である。付加情報は、対応するパケットデータのメモリ5への書き込み終了後、CPU6に対する割り込み信号として出力される。CPU6は割り込み信号を受け取ると、その割り込み信号に基づきパケットに対する付加情報を生成し、その値をメモリ5のパケットの格納領域の前の領域に格納する。CPU6は、メモリ5に書き込まれたパケットデータと対応する付加情報とを読み出す。パケットがもしビデオまたはオーディオのパケットならば、ペイロードに格納されているビデオストリーム又はオーディオストリームをそれぞれビデオ復号器2、オーディオ復号器3に転送する。この際、PESのヘッダにタイムスタンプがある場合には、そのタイムスタンプに対応したピクチャのピクチャヘッダをPESのペイロード中で探す。TS分離処理を開始直後の初期状態ではシーケンスヘッダの後のピクチャに対し同様の処理を行う。ここで、本実施例では書き込み制御部4から出力されるシーケンスヘッダ検出信号、ピクチャヘッダ検出信号により予めシーケンスヘッダ、ピクチャヘッダの有無がわかっているため、これを利用する。例えばシーケンスヘッダを探す場合には、パケットの付加情報をチェックすることによりシーケンスヘッダが含まれていないパケットを読み飛ばすことが可能となる。そのため、全てのビデオパケットのペイロード内を探す場合に比べ、CPU6の処理量を低減できる。

【0041】図8に、図6および図7に示した実施例の書き込み制御部4の構成例を示す。書き込み制御部4は、同期検出部7と、PID検出部8と、PID比較部9と、スイッチ部SW、特定パターン検査部であるシーケンスヘッダ/ピクチャヘッダ検出部10から構成される。以下、書き込み制御部4の動作について説明する。

【0042】書き込み制御部4に入力されたTSは、ま

ず同期検出部7で処理される。同期検出部7では、パケットの先頭1バイト目に位置する同期パターン(16進表示で47、2進数表示で01000111)を検出して、TSデータをパケットに区切る。次にPID検出部8ではパケットのヘッダからPIDを得る。ここで得られたPIDは次にPID比較部9に送られ、PID比較部9に予め設定されているPID比較値と比較される。比較の結果、少なくとも一つのPID比較値に一致したパケットは、PID検出部8によりオンとされたスイッチ部SWを介して次段のシーケンスヘッダ/ピクチャヘッダ検出部10に送られる。特定パターン検査部19であるシーケンスヘッダ/ピクチャヘッダ検出部10は、PID検出部8から送られたパケットのペイロードの部分でシーケンスヘッダやピクチャヘッダがあるかどうかを調べる。この結果シーケンスヘッダがあると判定された場合には、パケットのデータをメモリ5に転送した後で割り込み信号1を発生する。ピクチャヘッダがあると判定された場合には同様に割り込み信号2を発生する。これら割り込み信号1、割り込み信号2はCPU6に入力されると、割り込み信号に応じたパケットの付加情報を生成して、その値を保持する。この付加情報の保持回路としてはメモリ5を用いることも可能である。また、割り込み信号の割り当てはこれに限定されるものではなく、シーケンスヘッダとピクチャヘッダの両方がある場合、どちらもない場合に対しても割り込み信号を独立に割り当ててよい。またシーケンスヘッダ、ピクチャヘッダの検出結果をCPU6の割り込み信号として出力する代わりに、書き込み制御部4から直接パケットの付加情報としてメモリ5に書き込むことも可能である。

【0043】図9に図8のPID比較部9の構成を示す。PID比較部9は複数のレジスタ110からなるPID比較値設定レジスタ部11と、複数の比較器120からなる比較部12から構成され、レジスタ110には各々独立にPID比較値が設定される。PID比較値はCPU6からデータバス16を通して設定される。PID比較値と共に与えられる制御データに基づきレジスタイネーブル信号を生成し、これによりPID比較値を格納するレジスタ110の選択を行う。PID比較値設定レジスタ部11に設定するPID比較値の種類は選択したプログラムにより異なるが、通常、ビデオ、オーディオのPID値、PAT、PMTのPID値等である。パケットから検出されたPIDと複数のPID比較値との比較は並列に行われる。図9ではPIDとPID比較値が一致した場合に比較器120の出力が“1”になるものとする。このとき論理OR13の出力が“1”となりPIDが複数のPID比較値のうち少なくとも一つの比較値に一致した場合には、パケットを次段のシーケンスヘッダ/ピクチャヘッダ検出部10に送る。論理OR13の出力が0、すなわちどの比較値にも一致しなかったパケットは不要なパケットであるとしてこの時点で廃棄され

る。なお、電源投入直後の初期状態あるいは希望チャネル変更によりプログラムが切り替わった場合等には、まずPATのバケットが必要であるため、PATのPID値である0(2進表示で000000000000)が自動的に設定されるようにする。これは例えば電源ONになった瞬間、PID比較値設定レジスタ部の全レジスタがリセットされるように制御することで実現できる。さらにまた、PATのPIDは固定であるため、PATのPID比較用として実際にレジスタを使用する代わりに比較器に与えるPID比較値を0固定とすることもできる。また、図9のPID比較部9において、ビデオのPID比較値が格納されるレジスタ110に接続された比較器120の出力をシーケンスヘッダ/ピクチャヘッダ検出部10の制御信号として用いることにより、シーケンスヘッダ、ピクチャヘッダのサーチ処理をビデオのバケットに対してのみ行うよう制御することも可能である。本実施例によれば、PID比較部9においてPIDの比較を並列に行うことができるため、所望のバケットを効率良く得ることが可能となる。

【0044】次に本発明の他の実施例について、図10を参照して説明する。この実施例は、図8で示した書き込み制御部4の別の構成例である。本実施例の書き込み制御部4は、図8の同期検出7の機能とシーケンスヘッダ/ピクチャヘッダ検出10の機能をひとつの回路にまとめ、同期/ヘッダ検出部14として構成したものである。以下、この書き込み制御部4の動作について説明する。

【0045】TSが入力として与えられると、まず同期/ヘッダ検出部14では同期パターンを検出すると共にストリーム内のシーケンスヘッダコード、ピクチャスタートコードを検出する。ここでバケットの先頭を揃えられたバケットのデータは出力判定部15に送られる。出力判定部15では、PID比較部9により選択されたバケットを書き込み制御部4から選択出力するように制御すると共に、そのバケットに対して同期/ヘッダ検出部14で生成された付加情報をCPUに対する割り込み信号1、割り込み信号2として選択出力する。本実施例では同期パターンとシーケンスヘッダコード、そしてピクチャスタートコード検出のための回路を共用できるため、図6、図7、図8に示した実施例に比べて回路規模の小さな書き込み制御部を実現することができる。

【0046】以上、本発明の実施例を多重化ストリーム分離装置としてTS分離装置を例にとり説明したが、これらの実施例は、ビデオ、オーディオ等、種類の異なる複数のデータが格納されたバケットからなる多重化ストリームを分離する装置に対して同様に適用できる。本実施例によれば、書き込み制御部で選択されたバケットの

みCPUで処理するため多重化ストリームの全てのバケットをCPUで処理する場合に比べCPUの処理量を低減できる。また、付加情報を用いることによって特定パターンの検出処理の対象となるバケットの数を最小にできるため、CPUの処理量をさらに低減することができる。そのため、多重化ストリームのビットレートが高く、ヘッダが複雑な場合にも正しく分離処理を行うことができる。また、書き込み制御部は特定ビットパターンの検出等、ハードウェアに適した処理を実行する回路のみで構成できるため比較的小さな回路規模で実現できる。従って、メモリを除いた多重化ストリーム分離装置をハードウェアのみ、またはCPUのみで実現する場合に比べ低いコストで実現できる。この効果は、MPEG2のTSのようにビットレートが高く、ヘッダの構造が複雑な多重化ストリームの分離装置に適用した場合に特に大きい。

【0047】

【発明の効果】本発明によれば、解析処理部の処理を軽減することの可能なデータ分離装置を提供することができる。

【0048】本発明によれば、ビットレートが高く、ヘッダの構造が複雑な多重化ストリームを分離する場合にも分離処理を正しく実行可能な低コストのデータ分離装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例によるTS分離装置の構成を示す図。

【図2】PESとTSとの関係を示す図。

【図3】図1の実施例によるTS分離装置における管理情報の流れを説明する図。

【図4】本発明の他の実施例によるTS分離装置の構成を示す図。

【図5】一般的なTS復号器の構成を示す図。

【図6】本発明の他の実施例によるTS分離装置の構成を示す図。

【図7】本発明の他の実施例によるTS分離装置の他の構成を示す図。

【図8】図6、図7の書き込み制御部4の構成例を示す図。

【図9】図8のPID比較部の構成例。

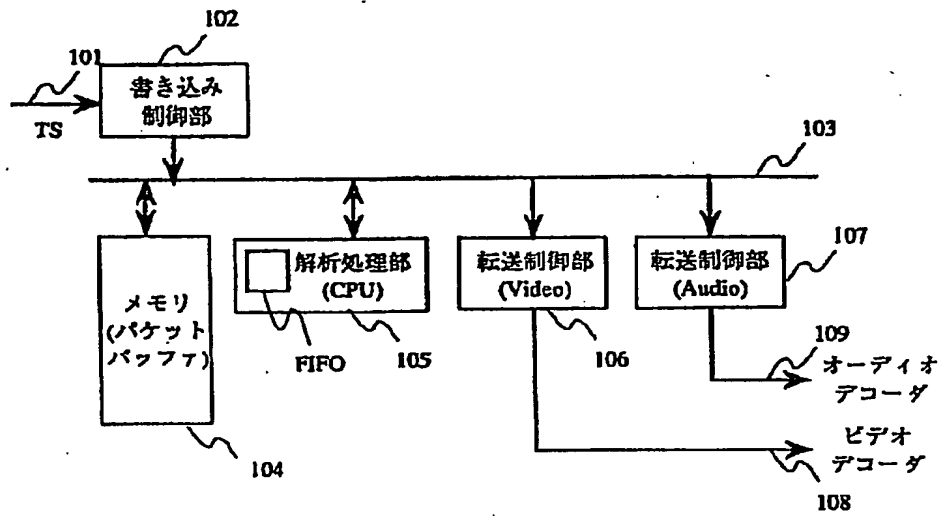
【図10】本発明の実施例による書き込み制御部4の他の構成例を示す図。

【図11】一般的な多重化ストリーム分離装置の構成を示す図である。

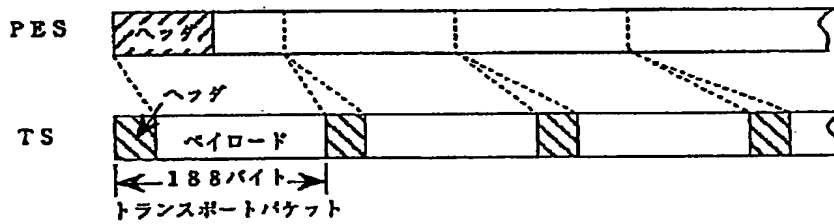
【符号の説明】

102…書き込み制御部、104…メモリ、105…解析処理部、106、107…転送制御部。

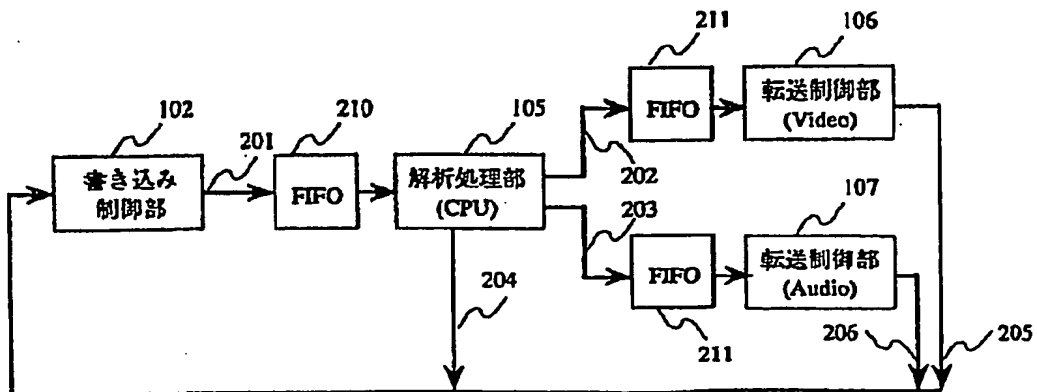
【図 1】



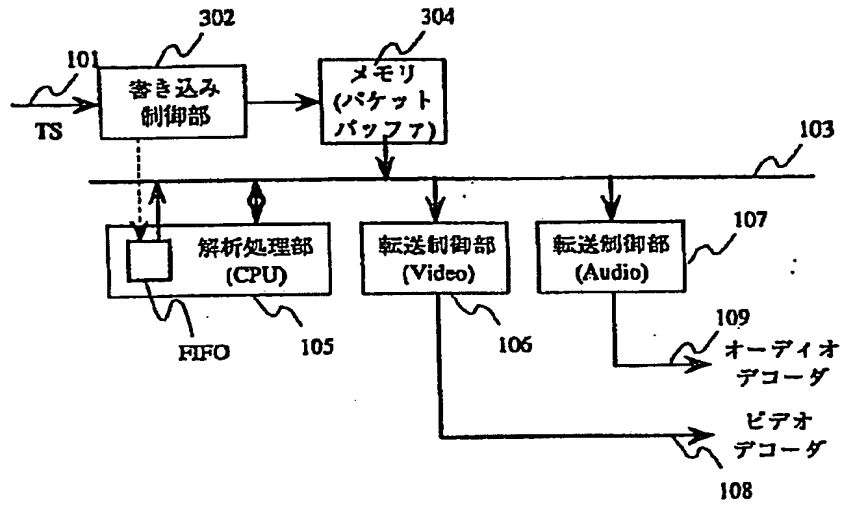
【図 2】



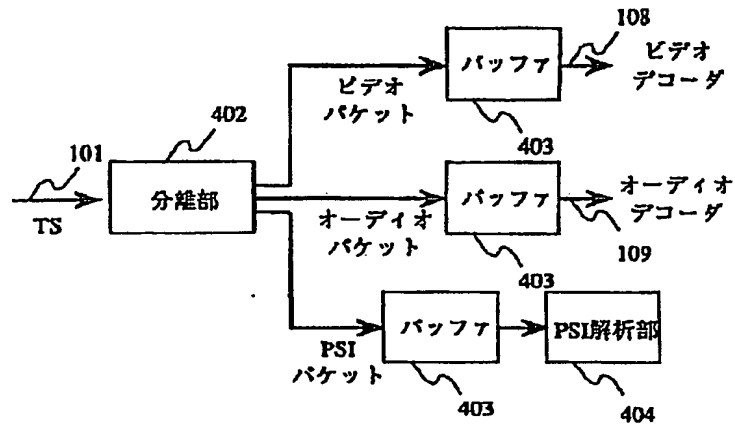
【図 3】



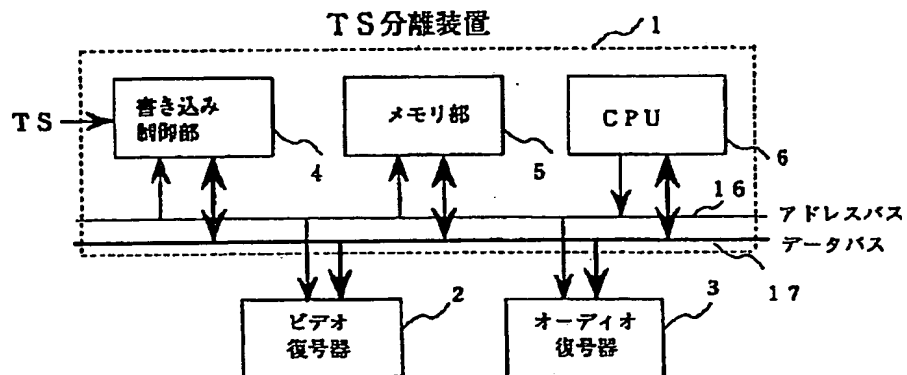
【図4】



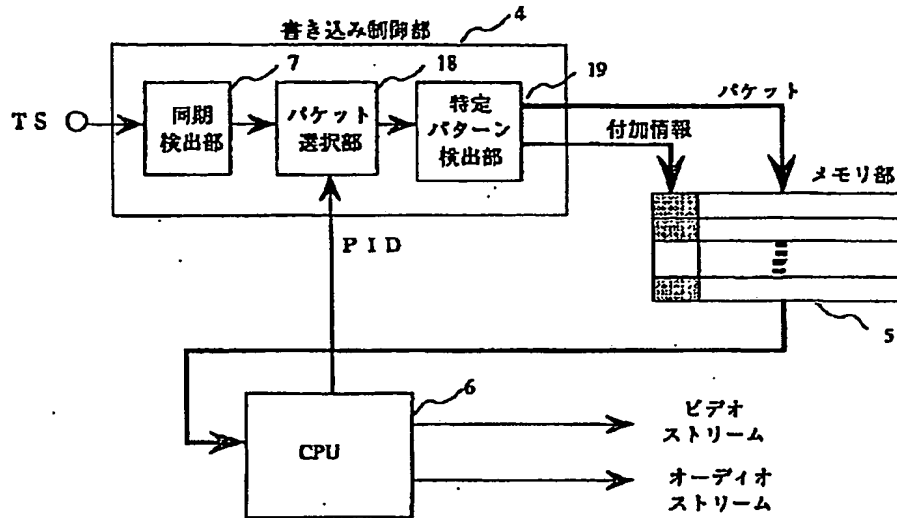
【図5】



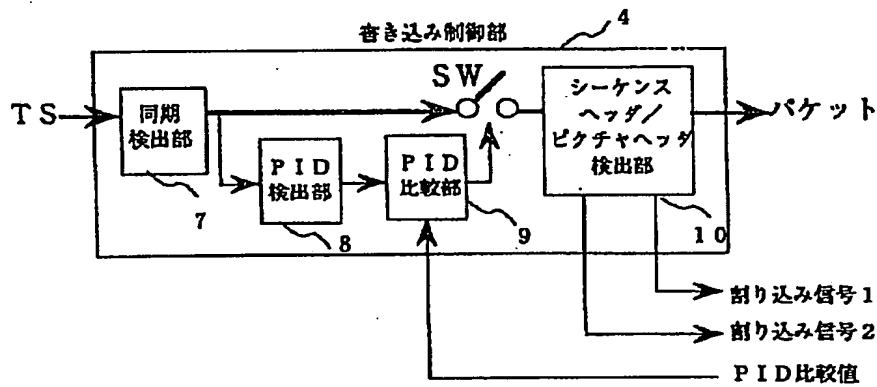
【図7】



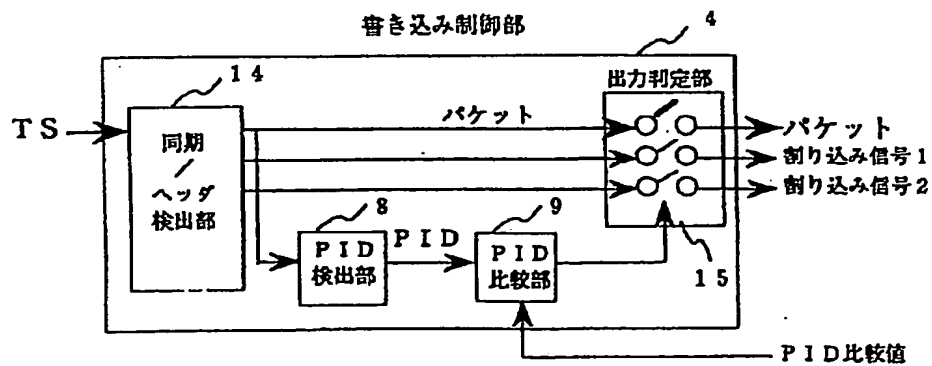
【図6】



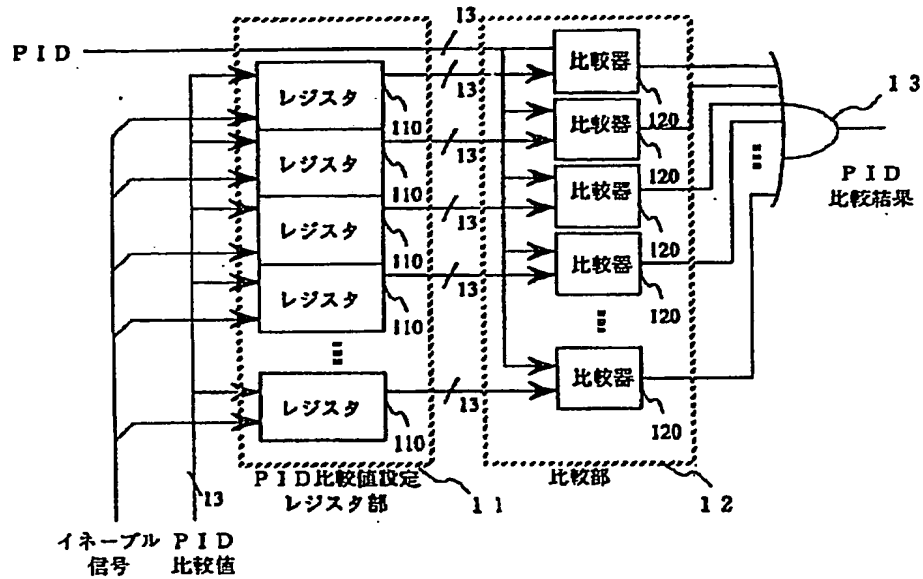
【図8】



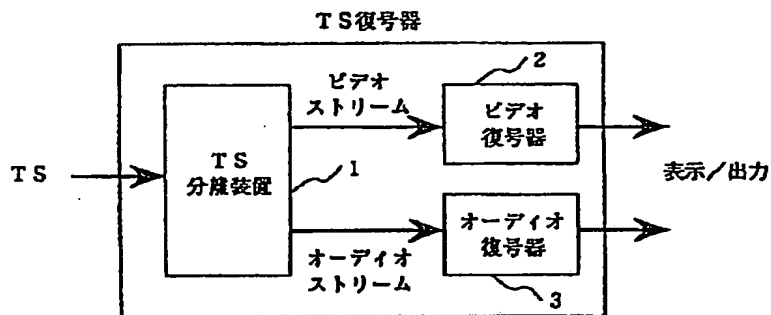
【図10】



【図9】



【図11】



フロントページの続き

(72) 発明者 藤井 由紀夫
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72) 発明者 松野 勝己
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-098098

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H04J 3/00

H04N 7/08

H04N 7/081

(21)Application number : 08-323336

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.11.1996

(72)Inventor : NAKASE JUNKO

GUNJI HIROSHI

FUJII YUKIO

MATSUNO KATSUMI

(30)Priority

Priority number : 07312026

Priority date : 30.11.1995

Priority country : JP

09533330

15.03.1996

JP

(54) DATA SEPARATING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data separating device which reduces processing of an analysis processing part.

SOLUTION: This data separating device consists of a write controlling part 102, memory 104, an analysis processing part 105 and transfer controlling parts 106 and 107. The part 102 writes a packet which arrives in the memory 104 in order of arrival and sends the write information to the part 105, the part 105 analyzes the packet based on the write information in order of packet arrival and sends only the analytical result to the parts 106 and 107, and the parts 106 and 107 send data which is read from the memory 104 in order of packet arrival to a decoder based on the analytical result.

